

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-008157

(43)Date of publication of application : 12.01.1999

(51)Int.Cl.

H01G 4/30
H01F 27/29
H01F 17/00
H01F 41/04
H01G 4/252
H01G 4/12
H05K 3/46

(21)Application number : 09-160009

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 17.06.1997

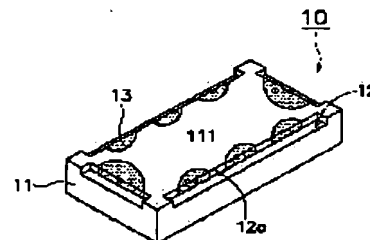
(72)Inventor : SAKAI NORIO
SAITO TAKESHI

(54) MANUFACTURE OF LAMINATED ELECTRONIC COMPONENT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a crack from being generated in an aggregate board by a method wherein a conductive material is printed on a laminated material to form an internal circuit element and via holes in the interior of the laminated material, punched part are formed in a plurality of mother insulating sheets in such a way that the side parts of the via holes are exposed, the sheets are laminated and are pressure bonded to each other to form the aggregate board and the aggregate board is cut along cutting lines.

SOLUTION: A conductive material is printed on a laminated material to form a conductive film which is used as an internal circuit element, in the interior of the laminated material, punched parts penetrated in the thickness direction of sheets are formed in the sheets in such a way that the side parts of via holes with the conductive material filled therein are exposed, a plurality of the mother insulative sheets are laminated and an aggregate board is obtained. When the aggregate board is split along cutting lines, steps 12 are brought under external electrodes 13 and the side parts of the via holes with the conductive material filled therein are exposed. As the punched parts to be provided with the external electrodes exist in the aggregate board intermittently and partially, a crack is not generated in the aggregate board when a laminated electronic component is flown on a process line in the state of the aggregate board even if the punched parts are made deep and the remaining parts of the sheets are lessened.



LEGAL STATUS

[Date of request for examination]

31.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 8 1 5 7

(43) 公開日 平成11年(1999)1月12日

(51) Int. Cl. 6

識別記号

F I

H 0 1 G 4/30

3 1 1

H 0 1 G 4/30 3 1 1 D

H 0 1 F 27/29

H 0 1 F 17/00 D

17/00

41/04 B

41/04

H 0 1 G 4/12 3 6 4

H 0 1 G 4/252

H 0 5 K 3/46 N

審査請求 未請求 請求項の数 1

O L

(全 5 頁) 最終頁に続く

(21) 出願番号 特願平9-160009

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(22) 出願日 平成9年(1997)6月17日

(72) 発明者 酒井 範夫

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 斉藤 毅

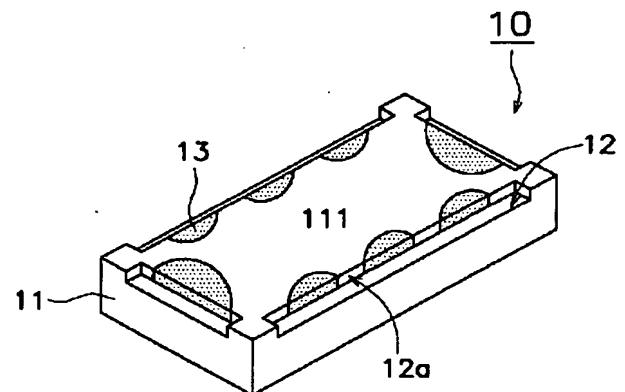
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(54) 【発明の名称】 積層電子部品の製造方法

(57) 【要約】

【課題】 集合基板の状態で工程ラインに流す際に、集合基板に割れが生じない積層電子部品の製造方法を提供する。

【解決手段】 積層電子部品 1 0 は、回路要素（図示せず）を内部に介在させた状態で複数の絶縁性シートが積層されてなる積層体 1 1 を備える。積層体 1 1 の例えば 4 つの側面の各々には、段差 1 2 が設けられ、その段差 1 2 の側面 1 2 a に露出するように外部電極 1 3 が形成される。これら外部電極 1 3 は、図示しないが、内部回路要素に電氣的に接続される。



【特許請求の範囲】

【請求項 1】 所定の切断線によって区画される各領域に設けられる積層電子部品の製造方法であって、複数のマザー絶縁性シートを用意する工程と、前記複数のマザー絶縁性シートの所定の位置にビアホールを形成する工程と、前記複数のマザー絶縁性シート上に導電材を印刷して前記各領域に内部回路要素を形成する工程と、前記ビアホールに外部電極となる導電材を付与する工程と、前記ビアホールの少なくとも側部が露出するように前記複数のマザー絶縁性シートに打ち抜き部を形成する工程と、前記複数のマザー絶縁性シートを積層、圧着して集合基板を形成する工程と、前記集合基板を前記切断線に沿って切断する工程とを備えることを特徴とする積層電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、回路要素を内部に配置した積層電子部品の製造方法に関し、特に、積層電子部品の外部電極の製造方法の改良に関する。

【0002】

【従来の技術】図 7 に、従来の積層電子部品の斜視図を示す。例えば、積層コンデンサ、積層インダクタ、多層回路基板、多層複合電子部品で代表される積層電子部品 50 は、図示したチップ状の形態で適宜の回路基板上に実装されるが、図 7 では、このような回路基板側に向けられる面を上方に向けた状態で、積層電子部品 50 が図示されている。積層電子部品 50 は、内部回路要素（図示せず）を介在させた状態で複数の絶縁性シートが積層されてなる積層体 51 を備える。積層体 51 の 4 つの側面の各々には、積層体 51 の外表面に露出する外部電極 52 が形成される。これらの外部電極 52 は、絶縁性シートに設けられ、かつ導電材が充填されたビアホールの少なくとも側部を絶縁性シートの切断によって露出することによって形成されるとともに、図示しないが、内部回路要素に電気的に接続される。また、積層体 51 の 4 つの側面の各々には、段差 53 が形成される。

【0003】上述のような積層電子部品 50 を得るために以下のような工程が実施される。まず、ドクターブレード法などにより、シート成形を行い、マザー絶縁性シートを得る。これらマザー絶縁性シートの特定のものは、シートを厚み方向に貫通するビアホールがパンチング等により形成される。次いで、マザー絶縁性シートの特定のものの上には、内部回路要素となるべき導電膜、抵抗膜等が印刷される。このとき、すでに形成されたビアホール内に、導電材が充填される。次いで、これらのマザー絶縁性シートが積み重ねられ、プレスされることにより、集合基板が得られる。次いで、この集合基板には、少なくともビアホールが分断されるように、切断線に沿って溝がダイシングソーによって形成される。この溝によって、溝の内側にビアホール内の導電材が露出す

ることとなる。次いで、集合基板は、マザー絶縁性シートを焼結させるため、焼成され、その後、集合基板は溝に沿って完全に切断される。このようにして、溝の内側にビアホール内の導電材が露出することにより形成された外部電極 52 を備える積層電子部品 50（図 7）が得られる。なお、段差 53 は、前述した溝の形成の結果もたらされたものである。

【0004】

【発明が解決しようとする課題】しかしながら、上述した積層電子部品においては、積層電子部品を構成する集合基板の厚みが低背化の要求により、1.0 mm 以下のものが主流であり、その際の溝の深さは 0.2 ~ 0.5 mm である。したがって、残り代が 0.5 ~ 0.8 mm 程度しかなく、集合基板の状態、溝形成後の工程、例えば表面上に配線パターンを印刷する工程、印刷抵抗を印刷、トリミングする工程などを実施すると、集合基板が割れてしまうという問題があった。

【0005】また、集合基板の溝は、ダイシングソーを用いて焼成前に形成されるが、その際にダイシングソーの焼き付き防止のため、集合基板に水をかける。したがって、焼成前の集合基板が水分を含むため、集合基板を構成するマザー絶縁性シートが剥がれたり、内部回路要素を構成する導電材が酸化してしまうという問題もあった。

【0006】本発明は、このような問題点を解消するためになされたものであり、集合基板の状態、工程ラインに流す際に、集合基板に割れが生じない積層電子部品の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上述の問題点を解決するため本発明の積層電子部品の製造方法は、所定の切断線によって区画される各領域に設けられる積層電子部品の製造方法であって、複数のマザー絶縁性シートを用意する工程と、前記複数のマザー絶縁性シートの所定の位置にビアホールを形成する工程と、前記複数のマザー絶縁性シート上に導電材を印刷して前記各領域に内部回路要素を形成する工程と、前記ビアホールに外部電極となる導電材を付与する工程と、前記ビアホールの少なくとも側部が露出するように前記複数のマザー絶縁性シートに打ち抜き部を形成する工程と、前記複数のマザー絶縁性シートを積層、圧着して集合基板を形成する工程と、前記集合基板を前記切断線に沿って切断する工程とを備えることを特徴とする。

【0008】本発明の積層電子部品の製造方法によれば、外部電極が設けられる打ち抜き部が、集合基板において、断続的あるいは部分的に存在するため、打ち抜き部を深くして残り代を少なくしても、集合基板で製造工程を流す際に集合基板に割れが生じない。

【0009】

【発明の実施の形態】以下、図面を参照して本発明の実

施例を説明する。図 1 に、本発明に係る積層電子部品の一実施例の斜視図を示す。積層電子部品 10 は、図示したチップ状の形態で適宜の回路基板上に実装されるが、図 1 では、積層電子部品 10 の下面、すなわちこのような回路基板側に向けられる面を上方に向けた状態で、図示されている。

【0010】積層電子部品 10 は、回路要素（図示せず）を内部に介在させた状態で複数の絶縁性シートが積層されてなる積層体 11 を備える。積層体 11 の例えば 4 つの側面の各々には、段差 12 が設けられ、その段差 12 の側面 12a に露出するように、積層体 11 の一方主面 111 で略半円状になる外部電極 13 が形成される。これら外部電極 13 は、図示しないが、内部回路要素に電氣的に接続される。

【0011】上述したような、積層電子部品 10 を得るための製造方法を図 2 を用いて説明する。まず、ドクターブレード法などによりシート成形を行い、複数のマザー絶縁性シート 14a ~ 14e を用意する（図 2 (a)）。

【0012】次いで、これら複数のマザー絶縁性シート 14a ~ 14e の内、マザー絶縁性シート 14b ~ 14e の所定の位置に、シートの厚み方向に貫通するビアホール 15、16 がパンチングなどにより形成される（図 2 (b)）。なお、ビアホール 15 は内部回路要素を接続するためのものであり、ビアホール 16 は外部電極 13 となるためのものである。

【0013】次いで、複数のマザー絶縁性シート 14a ~ 14e の内、マザー絶縁性シート 14b ~ 14c 上に、導電材を印刷して、内部回路要素となる導電膜 17 が形成され、マザー絶縁性シート 14b ~ 14e のビアホール 15、16 内に導電材が充填される（図 2 (c)）。

【0014】次いで、マザー絶縁性シート 14d、14e に形成されるとともに、内部に導電材が充填されたビアホール 16 の側部 16a が露出するように、シートの厚み方向に貫通した打ち抜き部 18 がパンチングなどにより形成される（図 2 (d)）。

【0015】次いで、複数のマザー絶縁性シート 14a ~ 14e が積み重ねられ、プレスされる。これによって、集合基板 19 が形成される（図 2 (e)）。

【0016】そして、図 3 に示すように、機械的に独立した複数の積層電子部品 10 を得るために、集合基板 19 は、切断線 20 に沿って集合基板 19 の表面及び裏面に設けられたスリット 21、22 を利用して完全に分割される。この分割は、チョコレートを割るように、集合基板 19 を切断線 20 に沿って割ることにより容易に達成される。なお、一般的に、集合基板 19 から分割された後、積層回路基板 10 の状態で焼成されるが、集合基板 19 の状態で焼成した後、積層回路基板 10 に分割してもよい。

【0017】以上述べた製造方法からもわかるように、段差 12 は前述した打ち抜き部 18 を形成した（図 2 (d)）結果もたらされたものである。また、外部電極 13 は、内部に導電材が充填されたビアホール 16 の側部 16a が露出するように、打ち抜き部 18 を設けた（図 2 (d)）結果もたらされたものである。

【0018】上述の実施例によれば、外部電極が設けられる打ち抜き部が、集合基板において、断続的あるいは部分的に存在するため、打ち抜き部を深くして残り代を少なくしても、集合基板の状態で工程ラインに流す際に、集合基板に割れが生じない。したがって、集合基板を薄くすることができ、その結果、積層電子部品の低背化が可能となる。

【0019】また、ダイシングソーを用いて集合基板に溝を設けることがないので、製造工程中において、水を使用する必要がなく、その結果、集合基板を構成するマザー絶縁性シートの剥がれや、内部回路要素を構成する導電材の酸化を防止することができる。

【0020】さらに、外部電極となるべき導電材が充填されたビアホールがマザー絶縁性シートにすでに設けられ、このマザー絶縁シートに打ち抜き部を設けることにより、導電材が露出して外部電極となるため、外部電極を設けるための特別な工程が不要となる。

【0021】なお、本発明を図 1 及び図 2 に示した実施例に関して説明したが、本発明の範囲内において、その他いくつかの変形例が可能である。

【0022】例えば、図 4 に示す積層電子部品 10a のように、積層体 11 の一方主面 111 で略 U 字状になる外部電極 13a を備えていてもよい。この外部電極 13a は、略円形状のビアホールの側壁に導電材を塗布し、そのビアホールの側部が露出するように打ち抜き部を設けることにより形成される。

【0023】また、図 5 に示す積層電子部品 10b のように、積層体 11 の一方主面 111 で略矩形になる外部電極 13b を備えていてもよい。この外部電極 13b は、略矩形のビアホールに導電材を充填し、そのビアホールの側部が露出するように打ち抜き部を設けることにより形成される。

【0024】さらに、図 6 に示す積層電子部品 10c のように、1 つの段差 12c ごとに 1 つの外部電極 13 が設けられてもよい。この構造は、略円形状のビアホールに導電材を充填し、そのビアホール 1 つ 1 つに対して、打ち抜き部を 1 つ 1 つ設けることにより形成される。この場合には、はんだを用いて回路基板上に実装する際に、はんだが段差 12c からはみ出さないため、外部電極の間隔を狭めることができる。その結果、積層電子部品 10c が小型化する。

【0025】

【発明の効果】本発明の積層電子部品の製造方法によれば、外部電極が設けられる打ち抜き部が、集合基板にお

いて、断続的あるいは部分的に存在するため、打ち抜き部を深くして残り代を少なくしても、集合基板の状態で工程ラインに流す際に、集合基板に割れが生じない。したがって、集合基板を薄くすることができ、その結果、積層電子部品の低背化が可能となる。

【0026】また、ダイシングソーを用いて集合基板に溝を設けることがないので、製造工程中において、水を使用しないため、集合基板を構成するマザー絶縁性シートの剥がれや、内部回路要素を構成する導電材の酸化を防止することができる。

【0027】さらに、外部電極となるべき導電材が充填されたビアホールがマザー絶縁性シートにすでに設けられ、このマザー絶縁シートに打ち抜き部を設けることにより、導電材が露出して外部電極となるため、外部電極を設けるための特別な工程が不要となる。

【図面の簡単な説明】

【図1】本発明に係る積層電子部品の一実施例を示す斜視図である。

【図2】図1に示した積層電子部品を得るための製造工程を示す断面図である。

10

【図3】図2(e)に示した集合基板を示す拡大斜視図である。

【図4】図1に示した積層電子部品の変形例を示す斜視図である。

【図5】図1に示した積層電子部品の別の変形例を示す斜視図である。

【図6】図1に示した積層電子部品のさらに別の変形例を示す斜視図である。

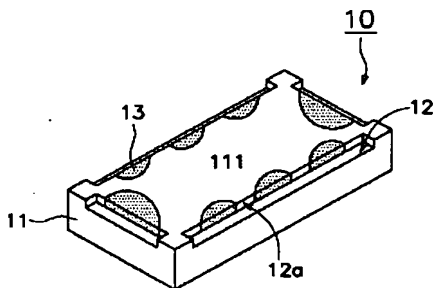
【図7】従来の積層電子部品を示す斜視図である。

【符号の説明】

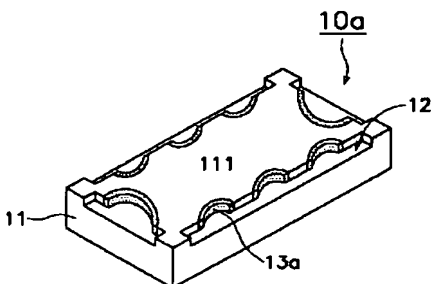
- 10、10a、10b、10c 積層電子部品
- 13 外部電極
- 14a～14e マザー絶縁性シート
- 16 ビアホール
- 16a 側部
- 17 内部回路要素（導電膜）
- 18 打ち抜き部
- 19 集合基板
- 20 切断線

20

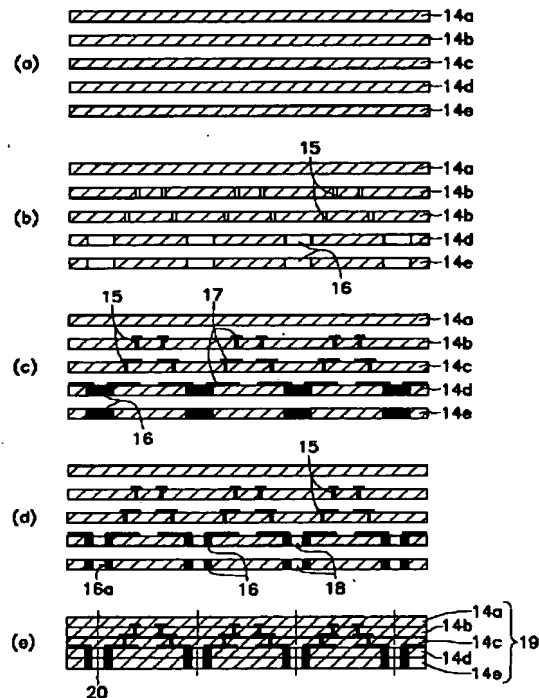
【図1】



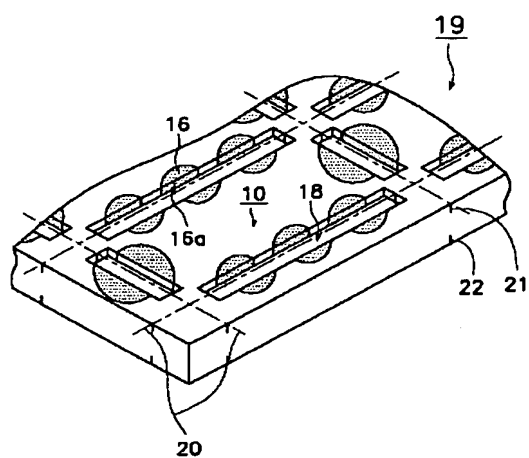
【図4】



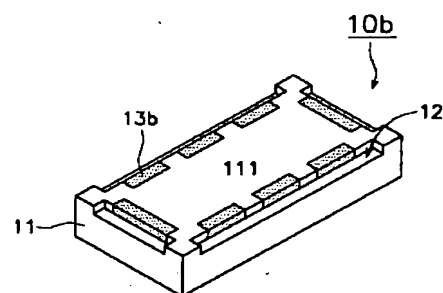
【図2】



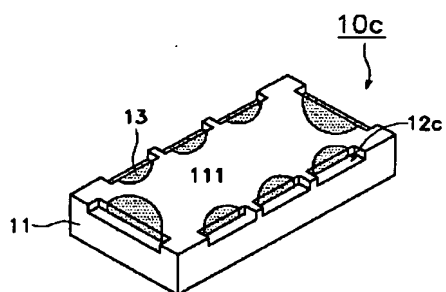
【図 3】



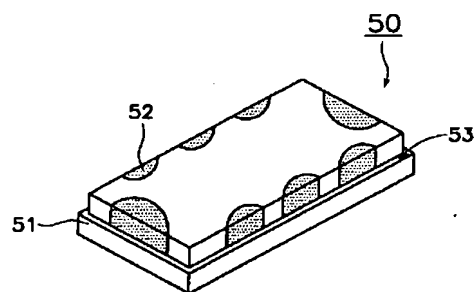
【図 5】



【図 6】



【図 7】



フロントページの続き

(51) Int. Cl. ⁶

H 0 1 G 4/12

H 0 5 K 3/46

識別記号

3 6 4

F I

H 0 1 F 15/10

H 0 1 G 1/14

C

V